

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-054621

(43)Date of publication of application : 23.02.1990

(51)Int.Cl.

H03K 23/54
G11C 19/00

(21)Application number : 63-205826

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 18.08.1988

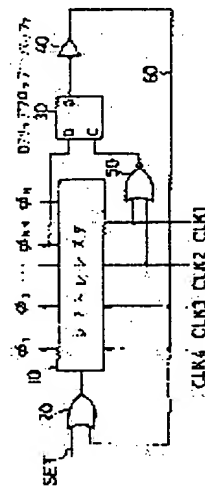
(72)Inventor : SHIYA JINKO

(54) RING COUNTER

(57)Abstract:

PURPOSE: To attain high speed cyclic operation by supplying a feedback set signal to a 1st stage of the N-stage of shift registers from the fall of an output signal of the (N-1)th stage of the N-stage shift registers to the fall of the output signal of the N-th stage.

CONSTITUTION: A D flip-flop 30 and a NOR circuit 50 are added to a conventional circuit. An input terminal D of the D flip-flop 30 is connected to an output terminal of an AND circuit 12N-1 of a shift register 10 and an output Q is connected to an input terminal of a buffer 40, respectively. A NOR circuit 50 applies NOR logic operation to clocks CLK 1, CLK2 and supplies its output to a clock terminal C of the D flip-flop 30. Since a feedback set signal ϕ ;FB being the output of the D flip-flop 30 is arisen earlier than a conventional circuit, even when the signal is outputted via the buffer 40, no operation delay is caused corresponding to the output ϕ ;1 of the 1st stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平2-54621

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月23日

H 03 K 23/54
G 11 C 19/00

L

6832-5 J
7208-5 B

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 リングカウンタ

⑮ 特 願 昭63-205826

⑯ 出 願 昭63(1988)8月18日

⑰ 発 明 者 椎 屋 仁 孝 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑱ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

リングカウンタ

2. 特許請求の範囲

1. N (Nは2以上の自然数) 個のSRフリップフロップと、各SRフリップフロップの出力と制御信号とのアンドをそれぞれとり、その結果を出力ラインにシリアルに出力するN個のアンド回路とから成るN段のシフトレジスタと、

制御信号を出力してN段のシフトレジスタの各段に順次出力信号を出力させ、(N-1)段目の出力信号が出力された後、停止された時からN段目の出力信号が停止されるまで、初段のRSフリップフロップにリセット信号を送る制御手段とを有するリングカウンタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はシリアルアクセス機能を有する半導体メモリに用いられるリングカウンタに関する。

(従来の技術)

第4図はこの種のN段のリングカウンタの従来例を示す構成図、第5図は第4図の従来例をさらに詳しく示す回路図、第6図は第4図の従来例の動作を示すタイムチャートである。

N段のリングカウンタは、制御信号である4相のクロックCLK1、CLK2、CLK3、CLK4に制御され、N段のバース出力 ϕ_1 、 ϕ_2 、 \sim 、 ϕ_N を一定間隔の時系列に並べてシリアルに出力する。バッファ40はシフトレジスタの最終段の出力 ϕ_N を入力する。オア回路20は、セット信号SETとバッファ40の出力とのオアをとり、シフトレジスタ10に出力する。

シフトレジスタ10は、SRフリップフロップ111、112、 \sim 11Nとアンド回路121、122、 \sim 、12Nとを有する。SRフリップフロップ111はクロックCLK3でリセットされ、オア回路20の出力でセットされる。アンド回路121は、クロックCLK1とSRフリップフロップ111の出力とのアンドをとり、結果を出力信号 ϕ_1 として出力する。SRフリップフロップ

112とアンド回路122とは出力信号 ϕ_1 をとり込み、CLK2に同期して出力信号 ϕ_2 として出力する。以降の段でも同様に前段の出力をとり込んで、入力するクロック信号に同期して出力信号を出力する。最終段の出力 ϕ_N はバッファ40、接続ライン60、オア回路20を介して初段のSRフリップフロップ111に帰還される。

次に第4図、第5図で示される従来例の動作について第6図を参照して説明する。

時刻 t_0 、 t_1 間にクロックCLK3、CLK4が論理レベルハイ(以降“H”と記す)となるのでRSフリップフロップ111、112はリセットされる。時刻 t_1 、 t_3 間にセット信号SETが“H”となり、時刻 t_2 、 t_3 間にクロックCLK1が“H”となるので、アンド回路121の2つの入力、時刻 t_2 、 t_3 間“H”になり、初段の出力信号 ϕ_1 は時刻 t_2 、 t_3 間“H”になる。この出力信号 ϕ_1 の“H”はRSフリップフロップ112にとり込まれる。時刻 t_3 にセット信号SETおよびクロックCLK1は論理レベ

ルロウ(以降“L”と記す)になるので出力信号 ϕ_1 も“L”になる。時刻 t_3 、 t_4 間にクロックK3が“H”になるのでRSフリップフロップ111はリセットされる。時刻 t_4 、 t_6 間にクロックCLK2が“H”になると、RSフリップフロップ112は“H”を出力しているのでアンド回路122は出力信号 ϕ_2 を“H”にする。このように出力信号 ϕ_1 、 ϕ_2 、 \sim 、 ϕ_N はパルス幅T、周期2Tで出力される。そして最終段の出力信号 ϕ_N は、バッファ40、接続ライン60、オア回路20を介してRSフリップフロップ111に帰還され、再度出力信号 ϕ_1 、 ϕ_2 、 \sim 、 ϕ_N の順に出力される。

(発明が解決しようとする課題)

上述した従来のリングカウンタは、最終段の出力信号 ϕ_N の帰還を接続ライン60を介して行っており、この接続ライン60はチップ全長にほぼ等しいほどに長く、大きな負荷容量を有するので、帰還のために大きな電流能力を持つバッファ40を設けねばならずこのバッファ40のために、動

作遅延が発生し、高速サイクル動作が出来ないという欠点がある。

(課題を解決するための手段)

本発明のリングカウンタは、

N(Nは2以上の整数)個のSRフリップフロップと、各SRフリップフロップの出力と制御信号とのアンドをそれぞれとり、その結果を出力ラインにシリアルに出力するN個のアンド回路とから成るN段のシフトレジスタと、

制御信号を出力してN段のシフトレジスタの各段に順次出力信号を出力させ、(N-1)段目の出力信号が出力された後、停止された時からN段目の出力信号が停止されるまで、初段のRSフリップフロップにセット信号を送る制御手段とを有する。

(作用)

制御手段によって、N段のシフトレジスタの(N-1)段目の出力信号の立下りからN段目の出力信号の立下りまで、帰還セット信号をN段のシフトレジスタの初段に与えているので、(N

-1)段目の出力信号立下りからN段目の出力信号の立下りまでの時間が動作遅延をカバーするために用いることができ、バッファ等の回路遅延があったとしても高速動作が可能である。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明のリングカウンタの一実施例を示す構成図、第2図は第1図の実施例をさらに詳しく示す回路図、第3図は第1図、第2図で示される実施例の動作を示すタイムチャートである。

本実施例は、第4図の従来例にDフリップフロップ30とノア回路50とを追加したものである。

Dフリップフロップ30は、入力端Dがシフトレジスタ10のアンド回路12Mの出力端に、出力端Qがバッファ40の入力端にそれぞれ接続されている。ノア回路50はクロックCLK1、CLK2のノアをとり出力をDフリップフロップ30のクロック端Cに印加している。

次に本実施例の動作について第3図を参照して

説明する。

遅延セット信号 ϕ_{FB} について以外は第4図の従来例と同様なので説明を省略する。

時刻 t_{11} 、 t_{12} 図では、クロックCLK1は“H”、クロックCLK2は“L”であり、時刻 t_{12} 、 t_{13} 図ではクロックCLK又は“L”、クロックCLK2は“L”である。したがって、時刻 t_{12} においてノア回路50の出力は立上る。Dフリップフロップ30はノア回路50の出力の立上りエッジで出力信号 ϕ_{N1} の“H”をラッチする。同様に時刻 t_{14} で出力信号 ϕ_{N1} の“L”をラッチする。

したがって、Dフリップフロップ30の出力である遅延セット信号 ϕ_{FB} は従来より時間Tだけ早く上げられるのでバッファ40を介して出力されても初段の出力 ϕ_1 に対応して、動作遅延を発生しない。

(発明の効果)

以上説明したように本発明は、制御手段によって、N段のシフトレジスタの(N-1)段目の出

力信号の立下りからN段目の出力信号の立下りまで、遅延セット信号をN段のシフトレジスタの初段に与えることにより、(N-1)段目の出力信号立下りからN段目の出力信号の立下りまでの時間で動作遅延をカバーでき高周波サイクル動作が可能となる効果がある。

4. 図面の簡単な説明

第1図は本発明のリングカウンタの一実施例を示す構成図、第2図は第1図の実施例をさらに詳しく示す回路図、第3図は第1図、第2図で示される実施例の動作を示すタイムチャート、第4図はこの種のN段のリングカウンタの従来例を示す構成図、第5図は第4図の従来例をさらに詳しく示す回路図、第6図は第4図の従来例の動作を示すタイムチャートである。

10…シフトレジスタ、

11₁、11₂、…、11_N…RSフリップフロップ、

12₁、12₂、…、12_N…アンド回路、

20…オア回路、

30…Dフリップフロップ、

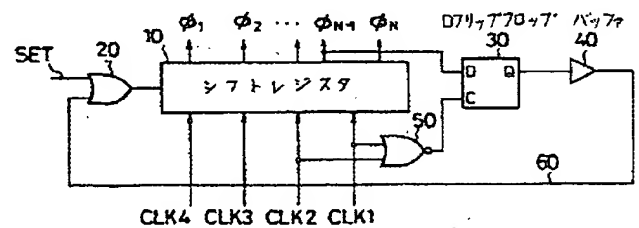
40…バッファ、

50…ノア回路、

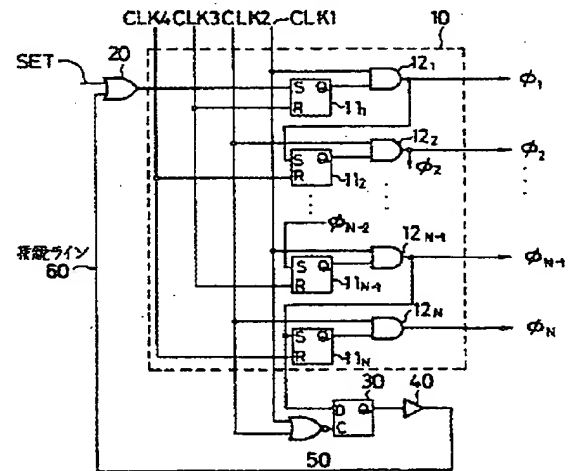
60…接続ライン。

特許出願人 日本電気アイシーマイコンシステム株式会社

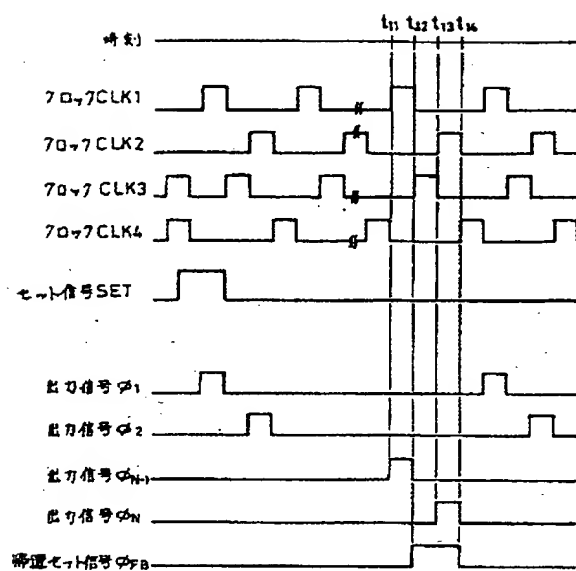
代理人 非理士 内 原 啓



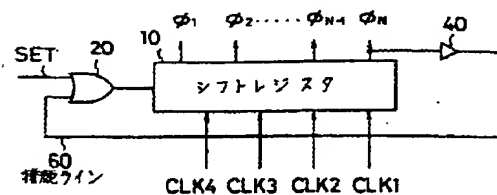
第1図



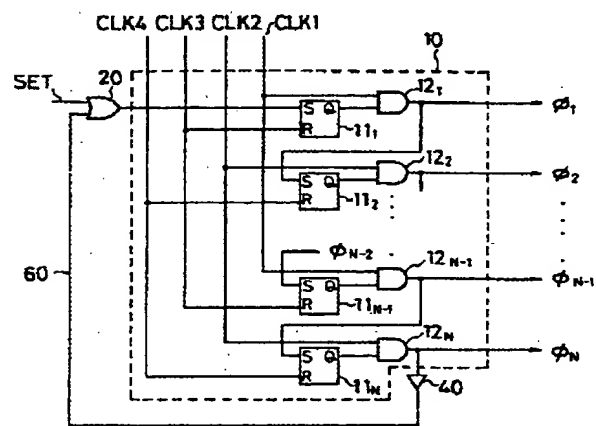
第2図



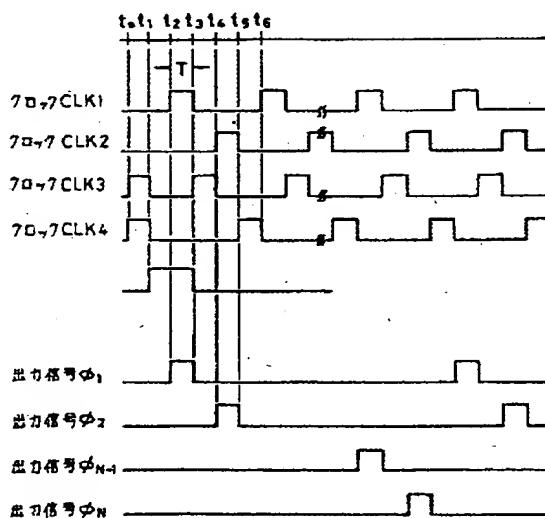
第 3 図



第 4 図



第 5 図



第 6 図